

## 中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 09 月 03 日  
Application Date

申請案號：092124302  
Application No.

申請人：南亞科技股份有限公司  
Applicant(s)

局長

Director General

蔡練生

發文日期：西元 2003 年 11 月 18 日  
Issue Date

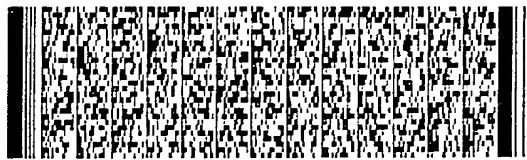
發文字號：09221166530  
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	內層介電層之製作方法及防止形成接觸窗蝕刻缺陷之方法
	英 文	Method for forming interlayer dielectric layer and method of preventing contact defects
二、 發明人 (共4人)	姓 名 (中文)	1. 鄒侃儒 2. 陳衍宏 3. 陳逸男
	姓 名 (英文)	1. Kaan-Lu Tzou 2. Yan-Hong Chen 3. Yi-Nan Chen
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW 3. 中華民國 TW
	住居所 (中 文)	1. 台北市中山北路六段186巷43號 2. 台北市環河南路二段129號6FA 3. 台北市北投區建民路151巷4號
	住居所 (英 文)	1. 2. 3.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 南亞科技股份有限公司
	名稱或 姓 名 (英文)	1. Nanya Technology Corporation.
	國 籍 (中英文)	1. 中華民國 ROC
	住居所 (營業所) (中 文)	1. 桃園縣龜山鄉華亞科技園區復興三路669號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. Hwa-Ya Technology Park 669, Fuhsing 3 Rd., Kueishan, Taoyuan, Taiwan, R.O.C
	代表人 (中文)	1. 連日昌
	代表人 (英文)	1. Jih-Chang Lien



申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共4人)	姓 名 (中 文)	4. 吳昌榮
	姓 名 (英 文)	4. Chang-Rong Wu
	國 籍 (中 英 文)	4. 中華民國 TW
	住 居 所 (中 文)	4. 台北縣板橋市民生路一段28-9號26樓
	住 居 所 (英 文)	4.
三、 申請人 (共1人)	名稱或 姓 名 (中 文)	
	名稱或 姓 名 (英 文)	
	國 籍 (中 英 文)	
	住 居 所 (營 業 所) (中 文)	
	住 居 所 (營 業 所) (英 文)	
	代 表 人 (中 文)	
	代 表 人 (英 文)	



四、中文發明摘要 (發明名稱：內層介電層之製作方法及防止形成接觸窗蝕刻缺陷之方法)

本發明揭示一種內層介電層之製作方法。首先，在一基底上形成一含有硼及磷之介電層。接著，對含有硼及磷之介電層實施一含氬氣或氮氣之電漿處理。之後，在含有硼及磷之介電層上原位 (in-situ) 形成一保護層，以與含有硼及磷之介電層作為內層介電層。最後，對內層介電層實施一熱流程序。本發明亦揭示一種防止形成接觸窗蝕刻缺陷之方法。

伍、(一)、本案代表圖為：第2d圖。

(二)、本案代表圖之元件代表符號簡單說明：

20~ 周邊電路區；

200~ 基底；

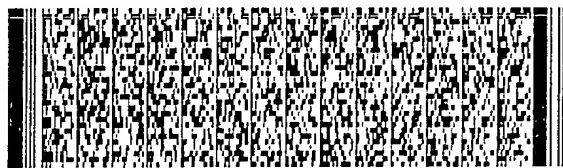
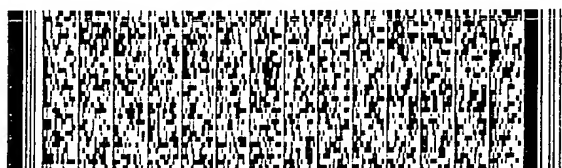
202~ 源極／汲極摻雜區；

203~ 閘極結構；

205~ 電晶體；

六、英文發明摘要 (發明名稱：Method for forming interlayer dielectric layer and method of preventing contact defects)

A method for forming an interlayer dielectric (ILD) layer. A dielectric layer containing boron and phosphorous is formed overlying a substrate. A plasma treatment is subsequently performed on the dielectric layer using argon or nitrogen as a process gas. A cap layer is in-situ formed on the dielectric layer to serve as the ILD layer with the dielectric layer. A reflow process is subsequently



四、中文發明摘要 (發明名稱：內層介電層之製作方法及防止形成接觸窗蝕刻缺陷之方法)

206~含有硼及磷之介電層；

208~保護層；

210~基底接觸窗；

211~溝槽；

212~導電插塞；

214~金屬層。

六、英文發明摘要 (發明名稱：Method for forming interlayer dielectric layer and method of preventing contact defects)

performed on the ILD layer. A method for preventing formation of etching defects of contact is also disclosed.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



## 五、發明說明 (1)

### 【發明所屬之技術領域】

本發明係有關於一種半導體製程，特別是有關於一種內層介電層之製作方法及一種防止形成接觸窗蝕刻缺陷之方法。

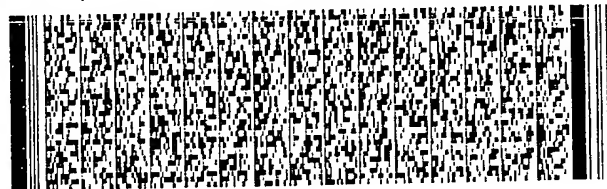
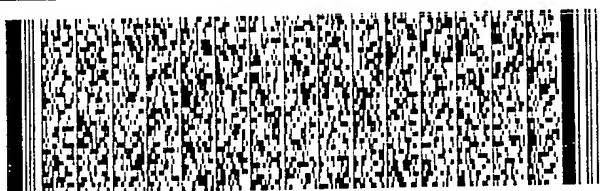
### 【先前技術】

隨著積體電路的元件尺寸微小化及積集度的增加，不同圖案層之間的對準誤差是主要的障礙所在，因此有許多自我對準 (self-aligned) 製程的發展，用以縮減元件之間的距離而增加元件的密集度。

為了進一步瞭解本發明之背景，以下配合第1a到1c圖說明傳統形成記憶裝置之基底接觸窗 (contact to substrate,  $C_s$ ) 之方法。首先，請參照第1a圖，提供一矽基底100，其中形成有任何記憶裝置所需的半導體元件，例如金氧半導體 (MOS) 電晶體、電容等。不過此處為了簡化圖式，僅以平整的基底100表示之。基底100具有一周邊電路區 (peripheral circuit region) 10。

接著，在周邊電路區10形成複數閘極結構104及複數源極／汲極摻雜區102所構成之電晶體106。其中，閘極結構104係由一閘極介電層、一閘極、一閘極上蓋層、及一閘極間隙壁所構成。

之後，在基底100上方形成一硼磷矽玻璃 (borophosphsilicate glass, BPSG) 層108，並填入閘極結構104之間之空隙以作為一內層介電層 (interlayer



## 五、發明說明 (2)

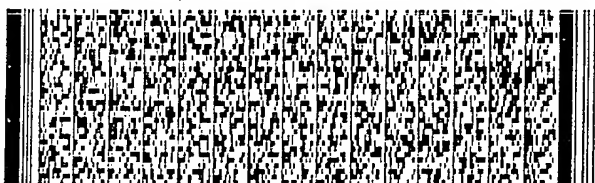
dielectric, ILD)。接著，實施一高溫熱流 (reflow) 製程，以形成一表面較為平坦的BPSG層108。之後，在BPSG層108上方塗覆一光阻層109，並再實施一微影程序，以在光阻層109中形成開口109a，用以定義基底接觸窗。

接下來，請參照第1b圖，藉由第1a圖中的光阻層109作為罩幕，蝕刻開口109a下方之BPSG層108，以在周邊電路區10之BPSG層108形成基底接觸窗110而露出基底100表面。不幸地，由於BPSG層108熱穩定性不佳且易與水氣反應，所以在後續的微影及蝕刻製程後，產生不佳的蝕刻輪廓 (profile) 或蝕刻缺陷，如圖中箭號a所示。

最後，請參照第1c圖，在去除光阻層109之後，再在BPSG層108上方形成一光阻圖案層 (未繪示) 用以定義溝槽。接著，實施一蝕刻程序以在鄰近基底接觸窗110的BPSG層108中形成一溝槽111。隨著積體電路積集度的增加，溝槽111非常靠近基底接觸窗110。因此，上述蝕刻輪廓不佳的基底接觸窗110易與溝槽111接觸而使後續填入基底接觸窗110的金屬插塞112與填入溝槽111的金屬層114產生架橋 (bridging) 現象，如圖中箭號b所示，造成記憶裝置因短路而失效。

### 【發明內容】

有鑑於此，本發明之目的在於提供一種內層介電層之製作方法，其藉由對含有硼及磷的介電層實施一電漿處理並接著在其上原位形成一保護層，以改善內層介電層對水



### 五、發明說明 (3)

氣的吸收及增加含硼及磷的介電層之穩定性。

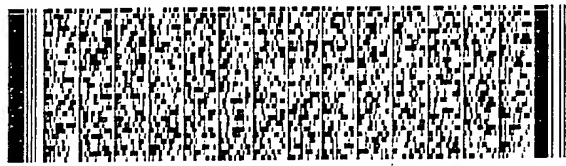
本發明之另一目的在於提供一種防止形成接觸窗蝕刻缺陷之方法，其藉由在蝕刻含有硼及磷的介電層以形成接觸窗之前，對介電層實施一電漿處理並在其上形成一保護層，以防止接觸窗之蝕刻缺陷的產生而提升元件製造良率。

根據上述之目的，本發明提供一種防止形成接觸窗蝕刻缺陷之方法。首先，提供一基底並在其上形成一含有硼及磷之介電層。接著，對含有硼及磷之介電層實施一電漿處理。之後，在含有硼及磷之介電層上原位 (in-situ) 形成一保護層，以與含有硼及磷之介電層作為內層介電層。最後，對內層介電層實施一熱流程序。

其中，含有硼及磷之介電層可為一硼磷矽玻璃層且其厚度在4000到10000埃的範圍。保護層可為一未摻雜矽玻璃層。且其厚度在120到400埃的範圍。

再者，可利用氫氣或氮氣作為該電漿處理之製程氣體。電漿處理之溫度在600℃到700℃的範圍，且電漿處理之時間在5到20秒的範圍。

又根據上述之目的，本發明提供一種防止形成接觸窗蝕刻缺陷之方法。首先，提供一基底並在其上形成一硼磷矽玻璃層。接著，對硼磷矽玻璃層實施一電漿處理。之後，在含有硼及磷之介電層上原位形成一未摻雜矽玻璃層，以與硼磷矽玻璃層作為內層介電層。接著，對內層介電層實施一熱流程序。接著，蝕刻內層介電層，以在其中形成



#### 五、發明說明 (4)

至少一接觸開口並露出基底表面。最後，在接觸開口中填入一導電插塞。

其中，硼磷矽玻璃層之厚度在4000到10000埃的範圍。未摻雜矽玻璃層之厚度在120到400埃的範圍。

再者，可利用氫氣或氮氣作為該電漿處理之製程氣體。電漿處理之溫度在600℃到700℃的範圍，且電漿處理之時間在5到20秒的範圍。

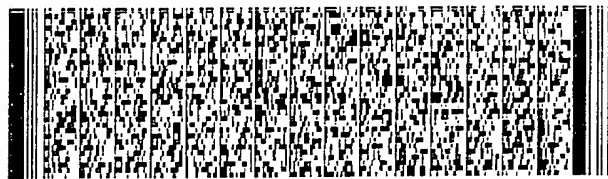
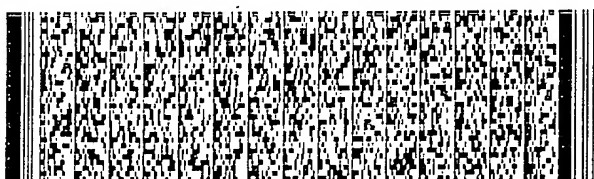
為讓本發明之上述目的、特徵和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

#### 【實施方式】

以下配合第2a到2c圖說明本發明實施例之接觸窗之形成方法，適用於一記憶裝置，例如動態隨機存取記憶體(dynamic random access memory, DRAM)。

首先，請參照第2a圖，提供一基底200，例如一矽基底或其他半導體基底，其中形成有任何記憶裝置所需的半導體元件，例如金氧半導體(MOS)電晶體、電容等。不過此處為了簡化圖式，僅以平整的基底200表示之。基底200具有一周邊電路區20。

接著，在周邊電路區20形成複數閘極結構203及複數源極／汲極摻雜區202所構成之電晶體205。其中，閘極結構203係由一閘極介電層、一閘極、一閘極上蓋層、及一閘極間隙壁所構成。此處，閘極介電層可以是利用熱氧化

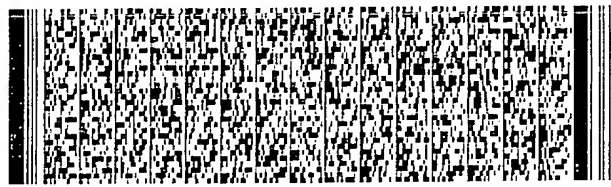
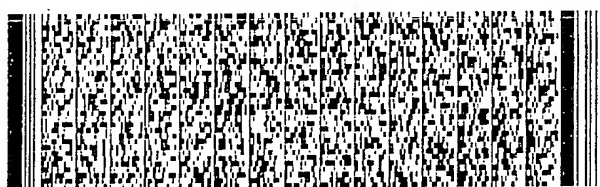


#### 五、發明說明 (5)

法所形成之氧化矽層；閘極可由單一複晶矽層202所構成或是由一複晶矽層及一金屬矽化層所構成；閘極上蓋層及閘極間隙壁可由氮化矽所構成。再者，源極／汲極摻雜區202可藉由離子佈植而形成之。

之後，在基底200上方形成一含有硼及磷之介電層206，例如一硼磷矽玻璃（BPSG）層，並填入閘極結構205之間之空隙，其厚度在4000到10000埃的範圍。接著，進行本發明之關鍵步驟，對含有硼及磷之介電層206實施一表面處理207，例如一電漿處理，以改善介電層206之熱穩定性。在本實施例中，電漿處理係以惰氣，例如氬氣或氮氣，作為之製程氣體。再者，電漿處理之溫度在600℃到700℃的範圍，且電漿處理之時間在5到20秒的範圍，而較佳為10秒。

接下來，請參照第2b圖，在含有硼及磷之介電層206上原位（in-situ）形成一保護層208，以避免水氣與介電層206接觸。再者，防止水氣在後續製程中進入其下方的介電層206中。此處，保護層208與含有硼及磷之介電層206係作為一內層介電層（ILD）。在本實施例中，保護層208可為一未摻雜矽玻璃（USG）層。需注意的是保護層208的厚度不可過厚或過薄。太厚的保護層208雖可有效阻止水氣進入介電層206，卻會降低介電層206的填洞能力。相反地，太薄的保護層208雖有較佳的填洞能力，卻無法阻止水氣進入而在後續的微影及蝕刻製程後產生蝕刻缺陷。因此，在本實施例中，保護層208的厚度在120到400



## 五、發明說明 (6)

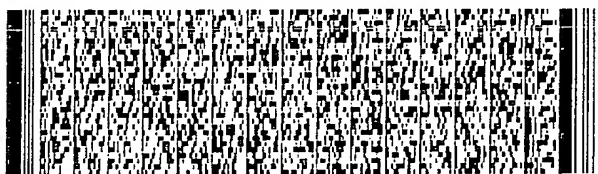
埃的範圍。

之後，對內層介電層206及208實施一高溫熱流製程，以形成一表面較為平坦的內層介電層206及208。在本實施例中，高溫熱流製程之溫度在780℃到830℃的範圍。

接著，在保護層208上方塗覆一光阻層209，並再實施一微影程序，以在光阻層209中形成一開口209a，用以定義基底接觸窗。

接下來，請參照第2c圖，藉由藉由第2b圖中光阻層209作為罩幕，蝕刻開口209a下方之內層介電層206及208，以在周邊電路區20形成一接觸開口210而露出基底200表面，此接觸開口210係作為基底接觸窗之用。由於含有硼及磷之介電層206已做過電漿表面處理，因此可增加其熱穩定性。再者，含有硼及磷之介電層206上方形成有一保護層208，可阻止水氣進入介電層206中。因此，在後續的微影及蝕刻製程之後，可有效改善不佳的蝕刻輪廓或蝕刻缺陷。

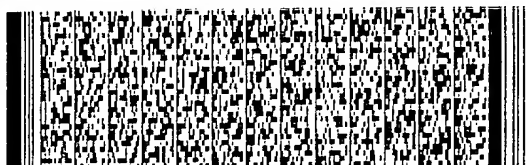
最後，請參照第2d圖，在去除光阻層209之後，再在保護層208上方形成一光阻圖案層（未繪示）用以定義溝槽。接著，實施一蝕刻程序以在鄰近基底接觸窗210的內層介電層206及208中形成一溝槽211。如先前所述，溝槽211非常靠近基底接觸窗210。然而，由於根據本發明之方法所形成之基底接觸窗可改善其蝕刻輪廓，因此基底接觸窗210不會與溝槽211接觸。亦即，當在基底接觸窗210中填入導電插塞212，例如金屬插塞，及在溝槽211填入金屬



#### 五、發明說明 (7)

層214時，不會產生架橋現象，避免記憶裝置因短路而失效，進而提升元件製造良率。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此項技藝者，在不脫離本發明之精神和範圍內，當可作更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



## 圖式簡單說明

第1a到1c圖係繪示出傳統形成記憶裝置之基底接觸窗之方法剖面示意圖。

第2a到2d圖係繪示出根據本發明實施例之形成接觸窗之方法剖面示意圖。

## 【符號說明】

習知：

- 10~周邊電路區；
- 100~矽基底；
- 102~源極／汲極摻雜區；
- 104~閘極結構；
- 106~電晶體；
- 108~硼磷矽玻璃層；
- 109~光阻層；
- 109a~開口；
- 110~基底接觸窗；
- 111~溝槽；
- 112~導電插塞；
- 114~金屬層；
- a~蝕刻缺陷；
- b~架橋。

本發明：

- 20~周邊電路區；



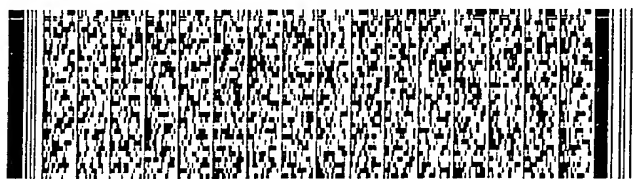
圖式簡單說明

- 200~ 基底；
- 202~ 源極／汲極摻雜區；
- 203~ 閘極結構；
- 205~ 電晶體；
- 206~ 含有硼及磷之介電層；
- 207~ 表面處理；
- 208~ 保護層；
- 209~ 光阻層；
- 209a~ 開口；
- 210~ 基底接觸窗；
- 211~ 溝槽；
- 212~ 金屬插塞；
- 214~ 金屬層。



#### 六、申請專利範圍

1. 一種內層介電層之製作方法，包括下列步驟：  
提供一基底；  
在該基底上形成一含有硼及磷之介電層；  
對該含有硼及磷之介電層實施一電漿處理；  
在該含有硼及磷之介電層上原位形成一保護層，以與該含有硼及磷之介電層作為該內層介電層；以及  
對該內層介電層實施一熱流程序。
2. 如申請專利範圍第1項所述之內層介電層之製作方法，其中該含有硼及磷之介電層係一硼磷矽玻璃層。
3. 如申請專利範圍第2項所述之內層介電層之製作方法，其中該含有硼及磷之介電層之厚度在4000到10000埃的範圍。
4. 如申請專利範圍第1項所述之內層介電層之製作方法，其中利用惰氣作為該電漿處理之製程氣體。
5. 如申請專利範圍第4項所述之內層介電層之製作方法，其中該惰氣包含氬氣或氮氣。
6. 如申請專利範圍第1項所述之內層介電層之製作方法，其中該電漿處理之溫度在600℃到700℃的範圍。
7. 如申請專利範圍第1項所述之內層介電層之製作方法，其中該電漿處理之時間在5到20秒的範圍。
8. 如申請專利範圍第1項所述之內層介電層之製作方法，其中該保護層係一未摻雜矽玻璃層。
9. 如申請專利範圍第8項所述之內層介電層之製作方法，其中該保護層之厚度在120到400埃的範圍。



#### 六、申請專利範圍

10. 一種防止形成接觸窗蝕刻缺陷之方法，包括下列步驟：

提供一基底；

在該基底上形成一硼磷矽玻璃層；

對該硼磷矽玻璃層實施一電漿處理；

在該含有硼及磷之介電層上原位形成一未摻雜矽玻璃層，以與該硼磷矽玻璃層作為一內層介電層；

對該內層介電層實施一熱流程序；以及

蝕刻該內層介電層，以在其中形成至少一接觸開口並露出該基底表面。

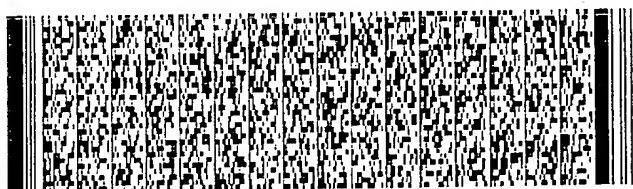
11. 如申請專利範圍第10項所述之防止形成接觸窗蝕刻缺陷之方法，更包括在該接觸開口中填入一導電插塞。

12. 如申請專利範圍第10項所述之防止形成接觸窗蝕刻缺陷之方法，其中該硼磷矽玻璃層之厚度在4000到10000埃的範圍。

13. 如申請專利範圍第10項所述之防止形成接觸窗蝕刻缺陷之方法，其中利用氫氣作為該電漿處理之製程氣體。

14. 如申請專利範圍第10項所述之防止形成接觸窗蝕刻缺陷之方法，其中利用氮氣作為該電漿處理之製程氣體。

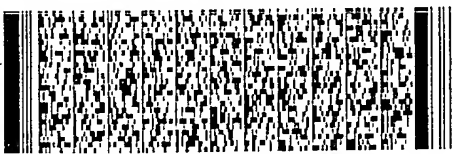
15. 如申請專利範圍第10項所述之防止形成接觸窗蝕刻缺陷之方法，其中該電漿處理之溫度在600℃到700℃的範圍。



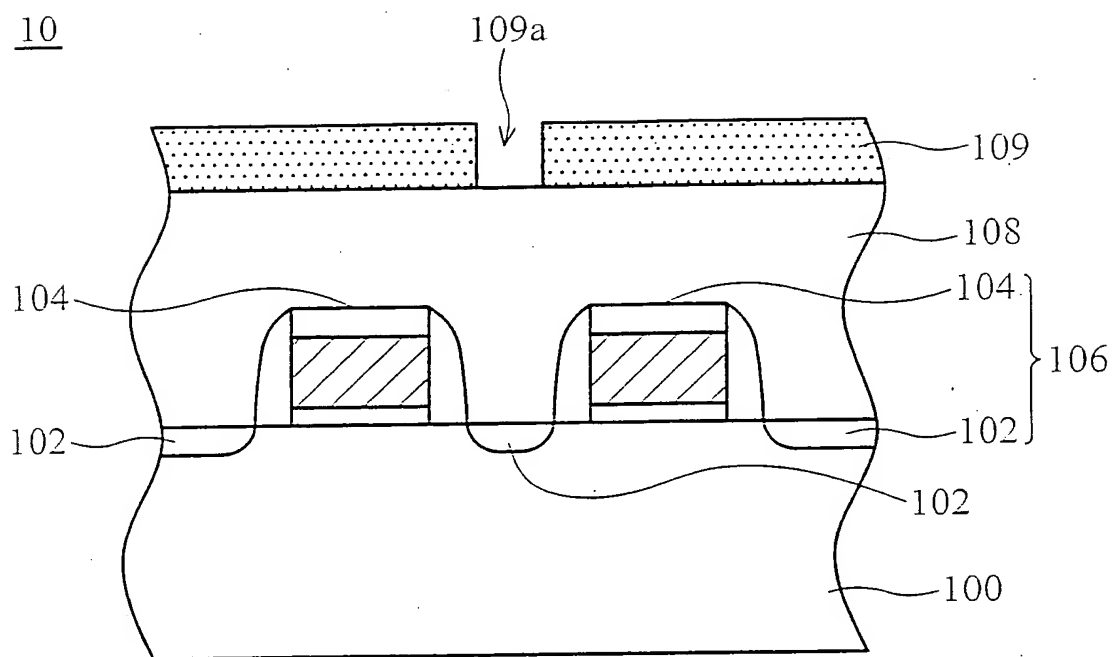
#### 六、申請專利範圍

16. 如申請專利範圍第10項所述之防止形成接觸窗蝕刻缺陷之方法，其中該電漿處理之時間在5到20秒的範圍。

17. 如申請專利範圍第10項所述之防止形成接觸窗蝕刻缺陷之方法，其中該未摻雜矽玻璃層之厚度在120到400埃的範圍。

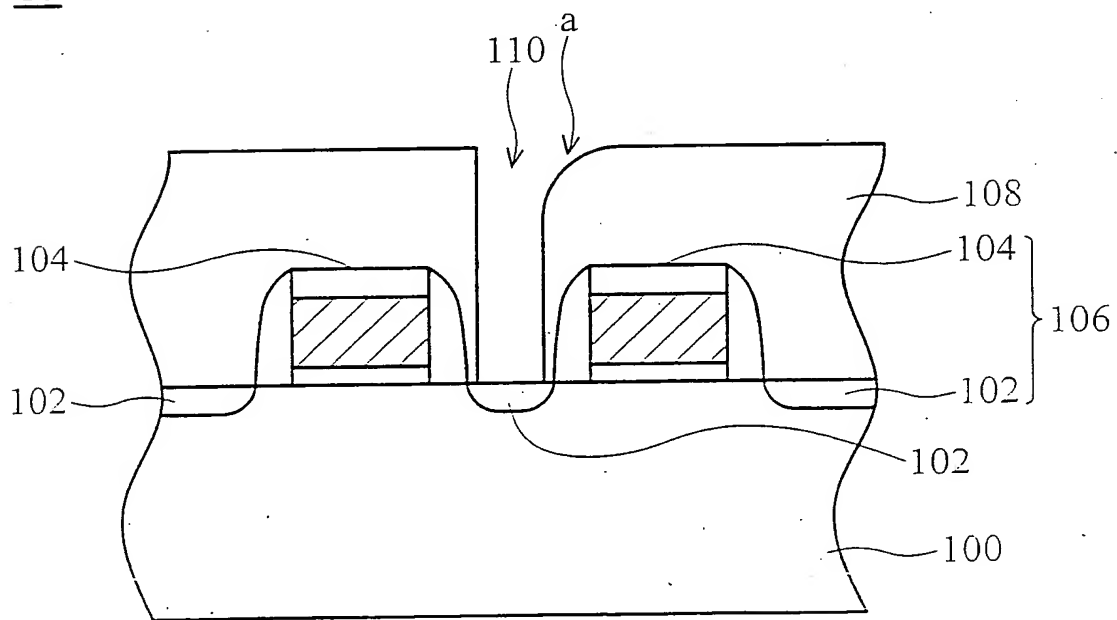


10



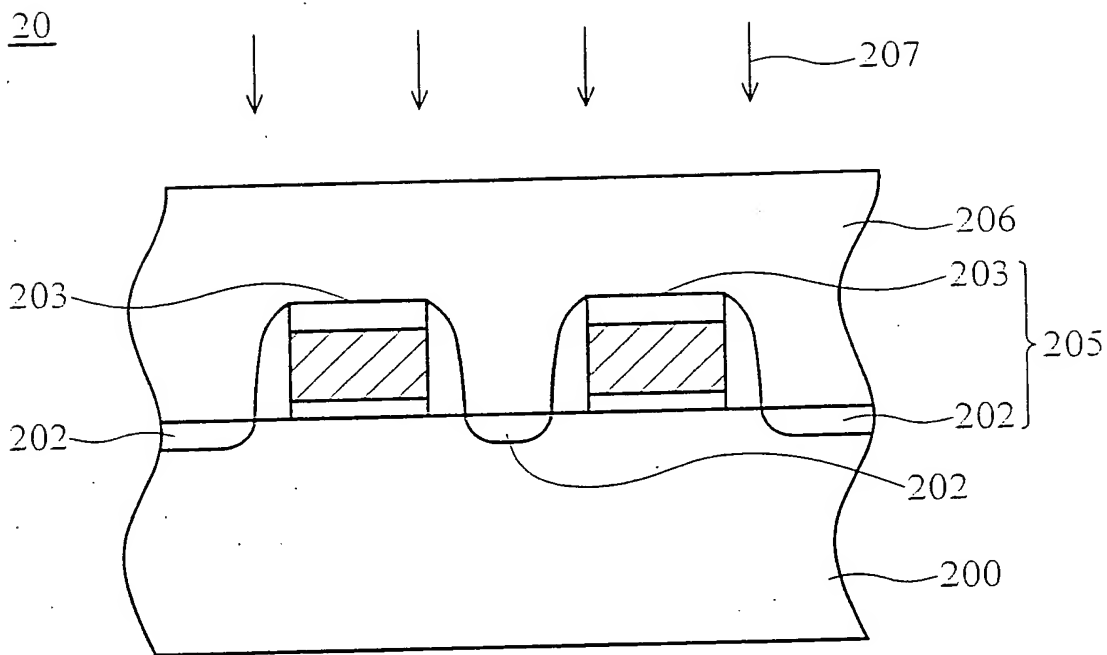
第 1a 圖

10

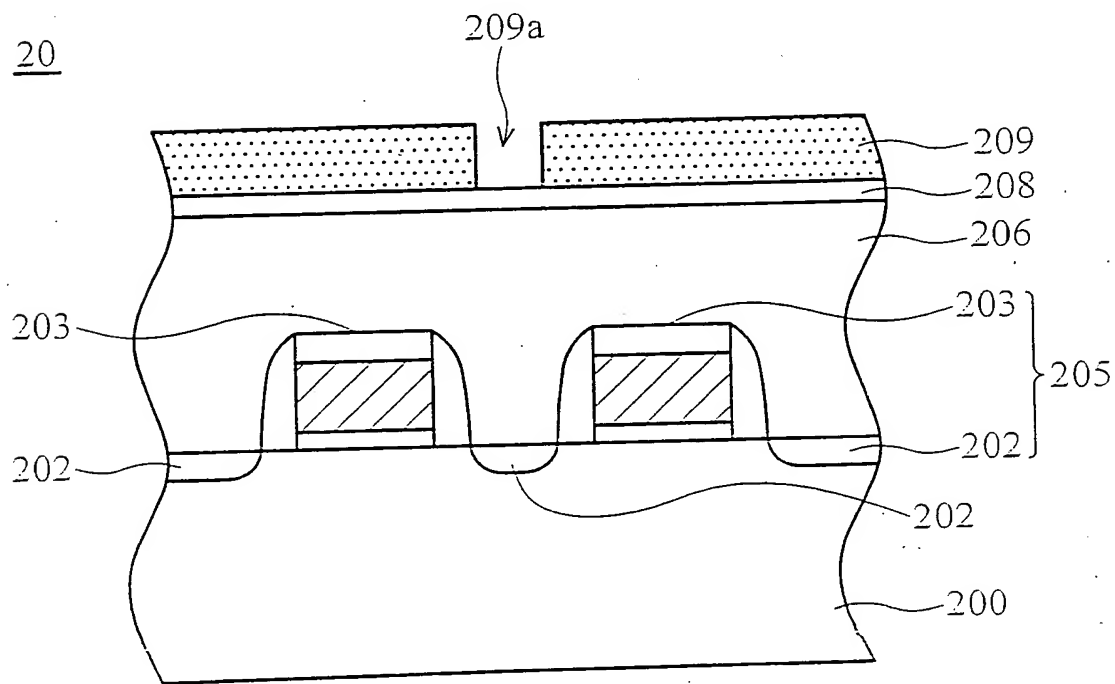


第 1b 圖



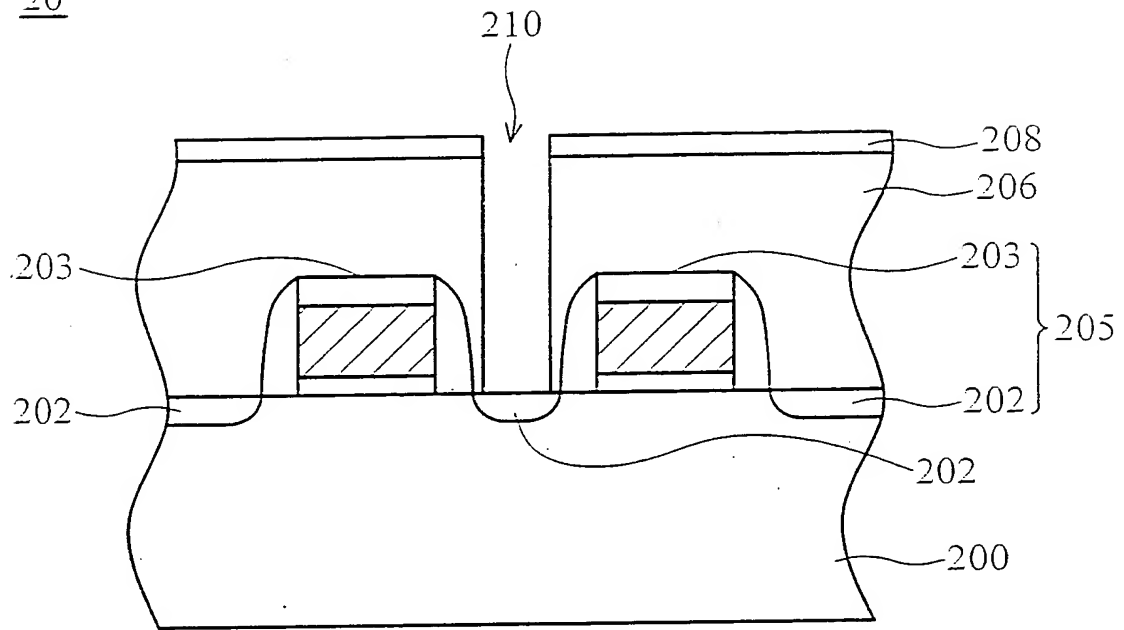


第 2a 圖



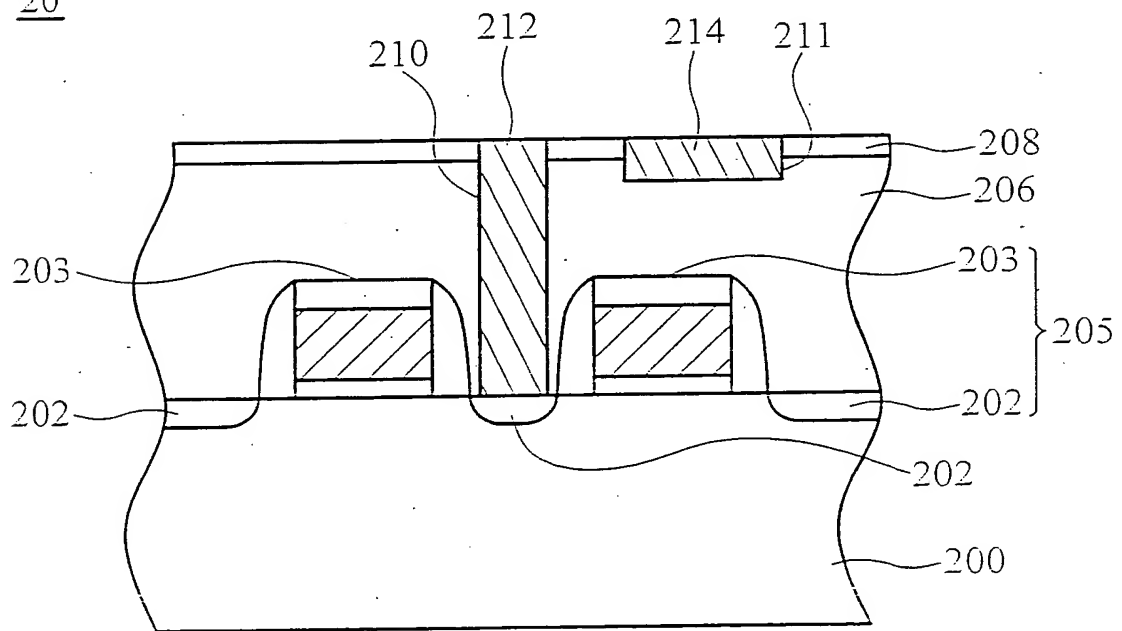
第 2b 圖

20



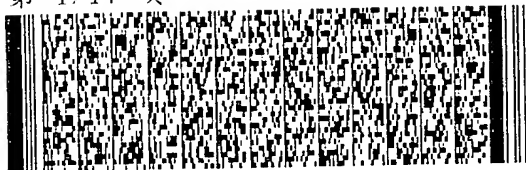
第 2c 圖

20

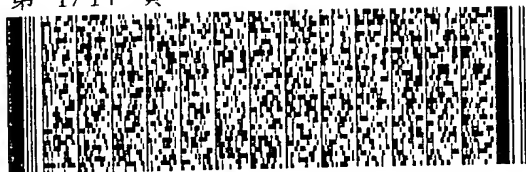


第 2d 圖

第 1/17 頁



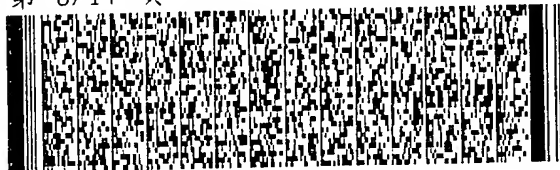
第 1/17 頁



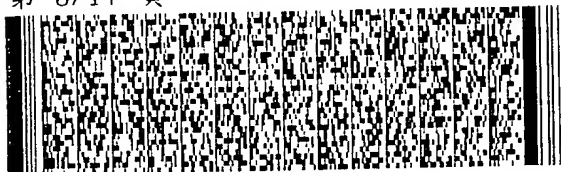
第 2/17 頁



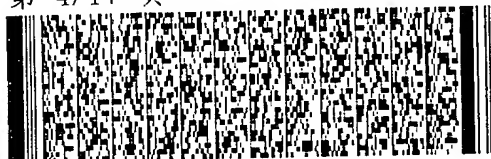
第 3/17 頁



第 3/17 頁



第 4/17 頁



第 5/17 頁



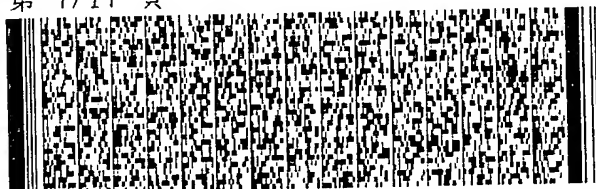
第 6/17 頁



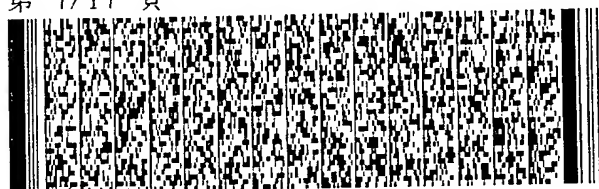
第 6/17 頁



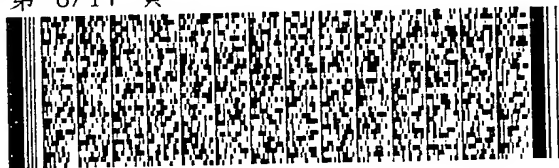
第 7/17 頁



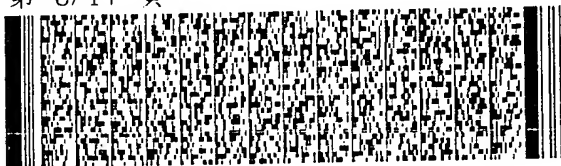
第 7/17 頁



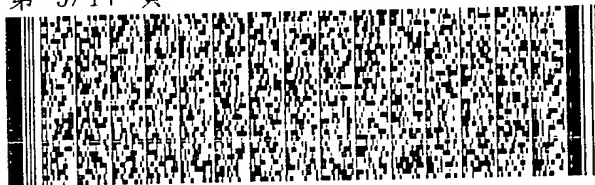
第 8/17 頁



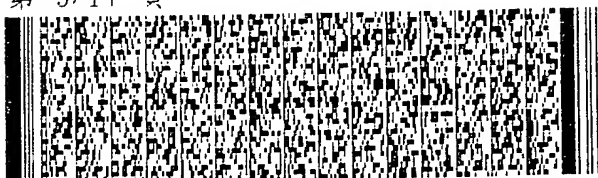
第 8/17 頁



第 9/17 頁



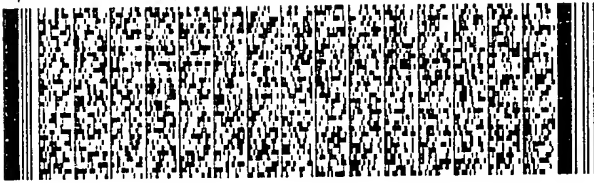
第 9/17 頁



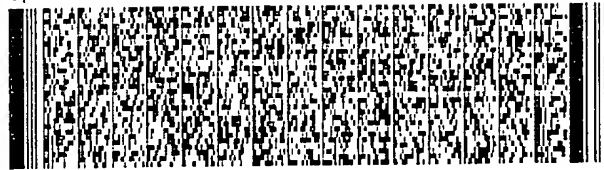
第 10/17 頁



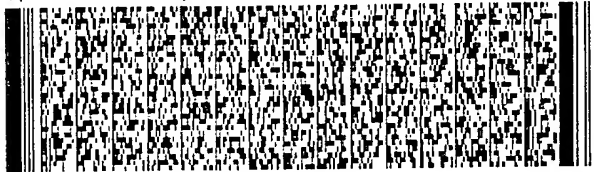
第 10/17 頁



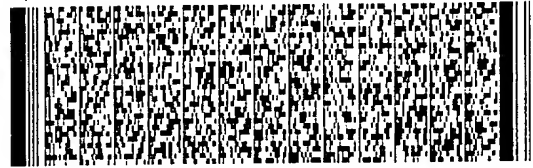
第 11/17 頁



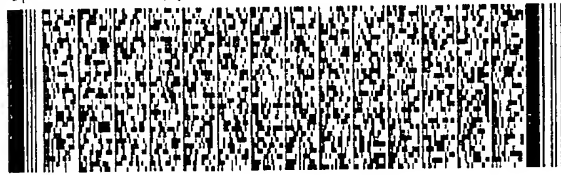
第 11/17 頁



第 12/17 頁



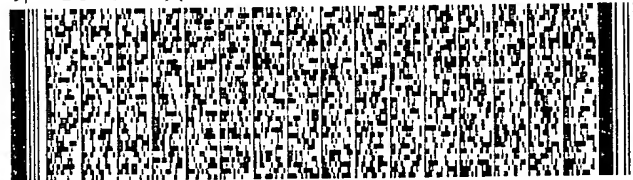
第 13/17 頁



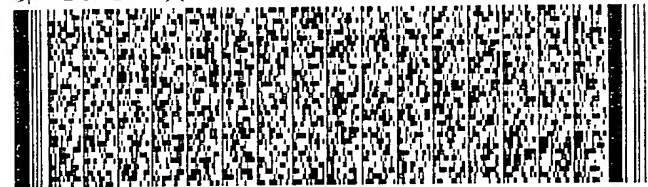
第 14/17 頁



第 15/17 頁



第 16/17 頁



第 17/17 頁

